

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326489

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl. ⁸	識別記号	F I
G 1 1 C 11/409		G 1 1 C 11/34 3 5 4 P
11/413		J
11/407		3 6 2 S
H 0 3 K 19/0185		H 0 3 K 19/00 1 0 1 B

審査請求 未請求 請求項の数13 O L (全 20 頁)

(21) 出願番号 特願平9-135127

(22) 出願日 平成9年(1997)5月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 池谷 正之

兵庫県伊丹市荻野1丁目132番地 大王電機株式会社内

(72) 発明者 大林 茂樹

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

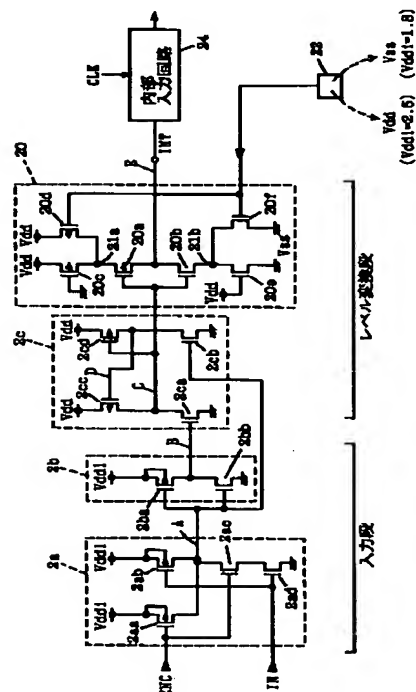
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 システム電源電圧などの動作環境が変化しても正確なタイミングで信号を出力することのできる入出力回路を提供する。

【解決手段】 内部信号出力ノード (E) に内部信号 (INT) を出力するレベル変換段最終段において、択一的に導通状態とされるMOSTランジスタ (20d, 20f) を電流源トランジスタとして設ける。これらの追加のMOSTランジスタ (20d, 20f) をたとえばボンディングパッド (22) の電圧レベルにより選択的に導通状態とする。内部ノード (E) への充放電電流量を調整することができ、応じて内部信号 (INT) の立上がり時間および立下がり時間を常に等しくすることができる。



【特許請求の範囲】

【請求項1】 与えられた信号に所定の処理を行なって前記与えられた信号に対応する信号をノード上に出力する信号処理回路、および前記信号処理回路に結合され、前記ノード上の信号の電位変化速度をプログラマブルに調整するための調整回路を備える、半導体集積回路装置。

【請求項2】 前記信号処理回路は、第1の電源電圧を一方動作電源電圧として動作し、前記与えられた信号をバッファ処理する入力段と、第2の電源電圧を一方動作電源電圧として動作し、前記入力段から与えられた信号のレベル変換を行なって前記ノード上に出力するレベル変換段とを含み、前記調整回路は、前記レベル変換段の前記ノードの電流駆動量をプログラマブルに調整する回路素子を含む、請求項1記載の半導体集積回路装置。

【請求項3】 前記レベル変換段は、第1の内部ノードと前記ノードとの間に結合される第1導電型の第1の絶縁ゲート型電界効果トランジスタと、第2の内部ノードと前記ノードとの間に結合される第2導電型の第2の絶縁ゲート型電界効果トランジスタとを含み、前記回路素子は、前記第1の電源電圧の電圧レベルに応じて、前記第1の内部ノードおよび前記第2の内部ノードそれぞれの電流量をプログラマブルに設定する、請求項2記載の半導体集積回路装置。

【請求項4】 前記回路素子は、前記第2の電源電圧を供給する第1の電源ノードと前記第1の内部ノードとの間に結合される第1の電流供給素子と、前記第2の内部ノードと第3の電源電圧を供給する第2の電源ノードとの間に結合される第2の電流供給素子と、前記第1の電源ノードと前記第1の内部ノードとの間に接続可能に配置され、導通時前記第1の電源ノードと前記第1の内部ノードとの間に電流が流れる経路を形成する第1のプログラマブル素子と、前記第2の電源ノードと前記第2の内部ノードとの間に接続可能に配置され、導通時前記第2の電源ノードと前記第2の内部ノードとの間に電流経路を形成する第2のプログラマブル素子とを備え、前記第1および第2のプログラマブル素子が前記第1の電源電圧のレベルに応じて択一的に非導通状態とされる、請求項3記載の半導体集積回路装置。

【請求項5】 前記第1のプログラマブル素子は、前記第1の電源ノードと前記第2の内部ノードとの間に結合されかつそのゲートに所定の電圧を受ける第1導電型の絶縁ゲート型電界効果トランジスタを備え、

前記第2のプログラマブル素子は、前記第2の電源ノードと前記第2の内部ノードとの間に結合され、かつそのゲートに前記所定の電圧を受ける第2導電型の絶縁ゲート型電界効果トランジスタを備え、前記所定の電圧が前記第1の電源電圧のレベルに応じてその電圧レベルが設定される、請求項4記載の半導体集積回路装置。

【請求項6】 前記第1のプログラマブル素子は、前記第1の電源ノードと前記第1の内部ノードとの間に結合され、そのゲートが前記第1の絶縁ゲート型電界効果トランジスタのゲートおよび前記第1の電源ノードに択一的に結合される第1導電型の第3の絶縁ゲート型電界効果トランジスタを備え、前記第2のプログラマブル素子は、前記第2の電源ノードと前記第2の内部ノードとの間に結合され、そのゲートが前記第2の絶縁ゲート型電界効果トランジスタのゲートおよび前記第2の電源ノードに択一的に結合される第2導電型の第4の絶縁ゲート型電界効果トランジスタを備え、前記第3および第4の絶縁ゲート型電界効果トランジスタは、それぞれのゲートが前記第1の電源ノードおよび前記第2の電源ノードに結合されるとき非導通状態となる、請求項4記載の半導体集積回路装置。

【請求項7】 前記第1のプログラマブル素子は、第1導電型の第3の絶縁ゲート型電界効果トランジスタと、前記第3の絶縁ゲート型電界効果トランジスタと直列に結合され、導通時前記第1の電源ノードと前記第1の内部ノードとの間に前記第3の絶縁ゲート型電界効果トランジスタを介して電流が流れる経路を形成する溶断可能な第1のリンク素子を備え、前記第2のプログラマブル素子は、第2導電型の第4の絶縁ゲート型電界効果トランジスタと、前記第4の絶縁ゲート型電界効果トランジスタと直列に結合され、導通時前記第2の電源ノードと前記第2の内部ノードとの間に前記第4の絶縁ゲート型電界効果トランジスタを介して電流が流れる経路を形成する溶断可能な第2のリンク素子を備える、請求項4記載の半導体集積回路装置。

【請求項8】 前記信号処理回路は、装置外部とのインタフェースをとるインタフェース段を含み、前記調整回路は、前記インタフェース段の動作電源電圧のレベルに応じて前記電位変化速度をプログラマブルに調整する、請求項1記載の半導体集積回路装置。

【請求項9】 前記信号処理回路は、装置外部から与えられる信号をバッファ処理して内部信号を生成する入力回路である、請求項1記載の半導体集積回路装置。

【請求項10】 前記信号処理回路は、前記与えられた信号をバッファ処理して前記ノードを介して外部へ出力

する出力段を含み、

前記出力段は、

前記与えられた信号に従って前記ノードを第1の電源電圧レベルへ駆動するための第1導電型の第1の絶縁ゲート型電界効果トランジスタと、

前記与えられた信号に従って前記1の絶縁ゲート型電界効果トランジスタと相補的に導通し、前記ノードを第2の電源電圧レベルへ駆動するための第2の絶縁ゲート型電界効果トランジスタとを備え、

前記調整回路は、

前記ノードに結合され、前記与えられた信号に従って前記第1の電源電圧レベルへ前記ノードを駆動するための第3の絶縁ゲート型電界効果トランジスタと、

前記ノードに結合され、前記与えられた信号に従って前記第2の電源電圧レベルへ前記ノードを駆動するための第4の絶縁ゲート型電界効果トランジスタと、

前記第3および第4の絶縁ゲート型電界効果トランジスタとともに前記与えられた信号にตอบสนองして動作する状態かまたは常時非導通状態に設定するためのプログラム手段とを備える、請求項1記載の半導体集積回路装置。

【請求項11】 前記出力段は、さらに、前記与えられた信号に従って前記第1の絶縁ゲート型電界効果トランジスタと同相で導通し、前記ノードを前記第1の電源電圧レベルへ駆動するための第5の絶縁ゲート型電界効果トランジスタを含み、

前記調整回路はさらに、

前記第1の絶縁ゲート型電界効果トランジスタと同一の導電型を有しかつ前記プログラム手段により動作可能／不能状態が択一的に設定され、前記与えられた信号に従って前記ノードを前記第1の電源電圧レベルへ駆動するための第6の絶縁ゲート型電界効果トランジスタを備える、請求項10記載の半導体集積回路装置。

【請求項12】 前記信号処理回路は、

前記与えられた信号としてのメモリセルから読出されたデータを装置外部へ出力するための出力バッファである、請求項1記載の半導体集積回路装置。

【請求項13】 前記半導体集積回路装置は、クロック信号に同期して外部信号の取込みおよびデータの入出力を行なう同期型半導体記憶装置である、請求項1から12のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般に、半導体集積回路装置に関し、特にこの半導体集積回路装置と装置外部とのインタフェースを構成する信号入出力部の構成に関する。特定的には、この発明は、クロック信号に同期して動作する同期型半導体記憶装置の信号（データ信号を含む）入出力部の構成に関する。

【0002】

【従来の技術】図15は、従来の同期型半導体記憶装置

の全体の構成を概略的に示す図である。図15において、同期型半導体記憶装置1は、電源ノード1aに与えられる電源電圧Vddiまたは電源ノード1dからの電源電圧Vddと接地電圧Vssを両動作電源電圧として動作し、クロック入力ノード1bから与えられるクロック信号CLKに同期して外部から入力ノード1cに与えられる入力信号INを取込み電源電圧Vddレベルの内部信号を生成する入力回路2と、電源ノード1dに与えられる電源電圧Vddと接地ノード1eに与えられる接地電圧Vssを両動作電源電圧として動作し、クロック信号CLKに同期して入力回路2から与えられる信号に従ってメモリセル選択動作およびデータの書込／読出を行なうメモリ内部回路3と、電源ノード1fに与えられる電源電圧VddQと接地ノード1gに与えられる接地電圧VssQを両動作電源電圧として動作し、メモリ内部回路3から読出されたメモリセルデータをデータ出力ノード1hへ出力する出力回路4を含む。

【0003】電源電圧Vddiは、この同期型半導体記憶装置1が用いられるシステムの電源電圧レベルに応じた電圧レベルであり、たとえば、2.5Vまたは1.8Vの電圧レベルを有する。電源電圧Vddは、この同期型半導体記憶装置1における内部動作に用いられる電源電圧であり、電源電圧Vddiよりも高く、たとえば3.3Vの電圧レベルである。この入力回路2において、一方動作電源電圧として電源電圧Vddiを用いることにより、この同期型半導体記憶装置が用いられるシステム電源電圧レベルに合わせ、他のロジックまたはプロセサなどのインタフェースの電圧レベルに適合させる。

【0004】入力回路2へ与えられる入力信号INは、アドレス信号、制御信号および書込データを含む。メモリ内部回路3は、複数のメモリセルを有するメモリセルアレイ、およびクロック信号に同期したデータの書込回路およびデータの読出回路を含む。

【0005】出力回路4へは、出力専用の電源電圧VddQおよび接地電圧VssQを与える。この出力ノード1hはたとえば16ビットなどの複数ビットであり、多くの出力バッファが同時に動作する。また出力回路4の駆動すべき出力負荷は大きく、大きな負荷を高速で駆動する必要がある。したがって出力専用に電源電圧VddQおよび接地電圧VssQを与えることにより、出力回路4を安定に動作させ、またこの出力回路4動作時における電源ノイズが他の回路への動作に対し悪影響を及ぼすのを防止する。

【0006】入力回路2は、その入力ノード1cに接続される初段回路部分へシステム電源電圧に応じた電圧Vddiを一方動作電源電圧として与え、この外部のインタフェースに応じた信号を取込み、レベル変換して電源電圧Vddレベルの内部信号を生成する。

【0007】この入力回路2への接地電圧Vssは、入

力回路専用のノードを介して接地電圧 V_{ss} へ与えられてもよく、また接地ノード1eからの接地電圧 V_{ss} が入力回路2へ与えられてもよい。

【0008】図16は、図15に示す入力回路2の入力初段部の構成の一例を示す図である。図16において、入力回路初段部は、電源電圧 V_{ddi} を一方動作電源電圧として動作し、図示しない内部回路部から生成される入力初段カット信号 ZNC の非活性化時（Hレベル）、作動状態とされ、外部から与えられる入力信号 IN をバッファ処理してノードAへ伝達するバッファ回路2aと、電源電圧 V_{ddi} を一方動作電源電圧として動作し、バッファ回路2aからノードAに伝達された信号を反転するインバータ回路2bと、インバータ回路2bからノードBに伝達された信号の振幅を電源電圧 V_{dd} レベルに変換するレベル変換回路2cと、電源電圧 V_{dd} を一方動作電源電圧として動作し、このレベル変換回路2cより出力されるレベル変換信号をバッファ処理してノードEに内部信号 INT を生成するインバータバッファ2dを含む。

【0009】バッファ回路2aに与えられる入力初段カット信号 ZNC は、たとえばチップセレクト信号とクロック信号 CLK とに基づいて生成され、この入力初段カット信号 ZNC が活性状態のLレベルのときには、この同期型半導体記憶装置は待機状態にあり、アクセスが行なわれないことが示される。

【0010】バッファ回路2aは、電源電圧 V_{ddi} 供給ノード V_{ddi} （以下、ノードとそこへ与えられる電源電圧は同じ符号で示す）とノードAの間に接続されかつそのゲートに入力初段カット信号 ZNC を受けるpチャネルMOSトランジスタ2aaと、電源ノード V_{ddi} とノードAの間に接続されかつそのゲートに入力信号 $IN1$ を受けるpチャネルMOSトランジスタ2abと、ノードAと接地電圧 V_{ss} 供給ノード（以下、接地ノード V_{ss} と称す）との間に互いに直列に接続されるnチャネルMOSトランジスタ2acおよび2adとを含む。MOSトランジスタ2acのゲートへは、入力初段カット信号 ZNC が与えられ、MOSトランジスタ2adのゲートへは入力信号 $IN1$ が与えられる。

【0011】インバータ回路2bは、電源ノード V_{ddi} とノードBとの間に接続されかつそのゲートがノードAに接続されるpチャネルMOSトランジスタ2baと、ノードBと接地ノードとの間に接続されかつそのゲートがノードAに接続されるnチャネルMOSトランジスタ2bbを含む。このインバータ回路2bは、CMOSインバータの構成を有する。

【0012】レベル変換回路2cは、電源電圧 V_{dd} が供給される電源ノード V_{dd} とノードCの間に接続されかつそのゲートがノードDに接続されるpチャネルMOSトランジスタ2ccと、電源ノード V_{dd} とノードDの間に接続されかつそのゲートがノードCに接続される

pチャネルMOSトランジスタ2cdと、ノードCと接地ノードの間に接続されかつそのゲートがノードBに接続されるnチャネルMOSトランジスタ2caと、ノードDと接地ノードの間に接続されかつそのゲートがノードAに接続されるnチャネルMOSトランジスタ2cbを含む。このレベル変換回路2cは、シフトラッチ型レベル変換回路の構成を備える。

【0013】インバータバッファ2dは、電源ノード V_{dd} とノードEの間に接続されかつそのゲートがノードCに接続されるpチャネルMOSトランジスタ2daと、ノードEと接地ノードの間に接続されかつそのゲートがノードCに接続されるnチャネルMOSトランジスタ2dbを含む。このノードE上の内部信号 INT が、図15に示す入力回路内部においてクロック信号 CLK に同期して取込まれて、さらに内部動作に用いられる。

【0014】次にこの図16に示す入力回路初段部の動作について図17に示す動作波形を参照して説明する。

【0015】時刻 t_0 以前においては、入力初段カット信号 ZNC は活性状態のLレベルにあり、バッファ回路2aにおいては、MOSトランジスタ2aaが導通状態、MOSトランジスタ2acが非導通状態にある。したがって、ノードAは、入力信号 $IN1$ の電圧レベルにかかわらず、MOSトランジスタ2aaにより電源電圧 V_{ddi} レベルに充電される。インバータ回路2bはノードAの信号を反転し、またレベル変換回路2cもノードBの論理レベルを反転してノードCに伝達しており（レベル変換は行なわれる）、またインバータバッファ2dは、ノードCの論理レベルを反転してノードEに伝達して内部信号 INT を生成する。したがって、時刻 t_0 以前においては、ノードA、B、CおよびEの電圧レベルは、それぞれ、Hレベル、Lレベル、Hレベル、およびLレベルとなる。

【0016】時刻 t_0 において、入力初段カット信号 ZNC が非活性状態のHレベルに立上げられる。この入力初段カット信号 ZNC の非活性化にตอบสนองしてMOSトランジスタ2aaが非導通状態、MOSトランジスタ2acが導通状態となり、この入力初段バッファ回路2aがCMOSインバータとして動作する。時刻 t_1 において入力信号 $IN1$ がHレベルになると、ノードAは、MOSトランジスタ2acおよび2adを介して接地電圧 V_{ss} レベルに放電される。このノードAの電圧レベルの低下にตอบสนองして、インバータ回路2bにおいてMOSトランジスタ2baが導通し、ノードBの電圧レベルがLレベルからHレベル（電源電圧 V_{ddi} レベル）に立上がる。

【0017】レベル変換回路2cにおいては、MOSトランジスタ2caがこのノードBの電圧上昇に従って導通し、ノードCを接地電圧レベルへ放電する。このノードCの電圧低下に従ってMOSトランジスタ2cdが導通し、ノードDの電圧レベルを上昇させ、応じてMOS

10

20

30

40

50

トランジスタ2ccが非導通状態へ移行する。MOSTランジスタ2cbは、ノードAの電圧レベルがLレベルであり、非導通状態にある。したがってこのMOSTランジスタ2caがノードCの電圧レベルを接地電位レベルへ低下させ、応じてMOSTランジスタ2cdのコンダクタンスを大きくして、ノードDをより高速で充電させる。最終的に、ノードCが接地電圧レベルとなり、ノードDが電源電圧Vddレベルとなる。

【0018】このノードCの電圧低下に従って、インバータバッファ2dからノードEに与えられる内部信号INTの電圧レベルがLレベルからHレベル（電源電圧Vddレベル）に上昇する。

【0019】時刻t2において、入力信号IN1がHレベルからLレベルに立下がると、入力初段バッファ回路2aにおいて、MOSTランジスタ2abが導通し、一方MOSTランジスタ2abが非導通状態となり、ノードAが電源電圧Vddレベルに上昇する。このノードAの電圧レベルがインバータ回路2bの入力論理しきい値よりも高くなると、ノードBの電圧レベルが低下し始め、接地電位レベルへと放電される。このノードBの電圧が低下すると、レベル変換回路2cにおいては、MOSTランジスタ2caが非導通状態へ駆動され、一方、MOSTランジスタ2cbが導通状態へ駆動される。これにより、ノードDの電圧レベルが低下し、MOSTランジスタ2ccが導通し、ノードCを充電する。これにより、ノードCの電圧レベルが電源電圧Vddレベルへ上昇し、ノードDの電圧レベルが接地電圧レベルへ低下する。このノードCの電圧レベルが、インバータバッファ2dにより反転されてノードE上の内部信号INTは接地電圧レベルに低下する。

【0020】時刻t3において、再び入力信号IN1がLレベルからHレベルに立上がると、時刻t1の時の動作と同様にして、ノードAの電圧レベルがHレベルからLレベルに低下し、一方ノードBの電圧レベルがLレベルからHレベルへ上昇する。応じてノードCの電圧レベルがHレベルからLレベルへ立下がり、次いでノードEの電圧レベルがLレベルからHレベルに上昇する。

【0021】この図16に示すように、入力ノードに接続される入力初段部にインタフェースとなるシステム電源電圧レベルと同じ電圧レベルの電源電圧Vddiを一方動作電源電圧として与えて、外部から与えられる入力信号IN1の論理振幅を正確に識別してこの入力信号IN1の論理レベルに応じた内部信号を生成する。次いで内部回路を高速で駆動させるために、この電源電圧Vddiよりも高い電源電圧Vddレベルへとレベル変換回路2cを用いてレベル変換を行ない、次いでインバータバッファ2dによりこのレベル変換回路2cの出力信号を増幅し、比較的大きな駆動力をもって内部信号INTを高速で生成する。

【0022】これら一連の動作により、入力信号IN1

の論理振幅が内部信号INTの論理振幅と異なる場合においても、正確に入力信号IN1に応じた論理レベルの内部信号INTを高速で生成して内部動作を行なわせることができる。この内部信号INTは、クロック信号CLKに同期して取込まれて必要な処理が行なわれる。

【0023】図18は、図15に示す出力回路4の最終段の構成の一例を示す図である。図18において、出力回路4は、内部読出データ/RDを受けるインバータ4aと、内部読出データ/RDと出力イネーブル信号/OEとを受けるNOR回路4bと、インバータ4aの出力信号と出力イネーブル信号/OEを受けるNOR回路4cと、NOR回路4bの出力信号を受けるインバータ回路4dと、電源電圧VddQを供給するノード（以下、電源ノードVddQと称す）と出力ノードjの間に接続されかつそのゲートにNOR回路4bの出力信号を受けるnチャネルMOSTランジスタ4eと、出力ノードJと接地電圧VssQを供給するノード（以下、接地ノードVssQと称す）との間に接続されかつそのゲートにNOR回路4cの出力信号を受けるnチャネルMOSTランジスタ4fと、電源ノードVddQと出力ノードJの間に接続されかつそのゲートにインバータ4dの出力信号を受けるpチャネルMOSTランジスタ4gを含む。インバータ回路4aおよび4dならびにNOR回路4bおよび4cの一方動作電源電圧は、内部電源電圧Vddであってもよく、また電源電圧VddQであってもよい。次に、この図18に示す出力回路の動作を図19に示す信号波形図を参照して説明する。

【0024】時刻t0以前において、出力イネーブル信号/OEはHレベルの非活性状態にあり、NOR回路4bおよび4cの出力ノードGおよびNHの電圧レベルはLレベルにある。したがって、MOSTランジスタ4eおよび4fはともに非導通状態にあり、またインバータ4dの出力信号がHレベルであり、pチャネルMOSTランジスタ4gが非導通状態である。したがって、この出力回路4は、出力ハイインピーダンス状態にある。

【0025】時刻t0において、出力イネーブル信号/OEがLレベルの活性状態となり、この出力回路4が作動状態とされる。この状態においては、NOR回路4bおよび4cがインバータとして動作する。メモリセルから読出された内部読出データ/RDがHレベルのときには、NOR回路4bの出力信号がLレベルであり、またNOR回路4cの出力信号がHレベルとなる。したがってMOSTランジスタ4eおよび4gが非導通状態であり、一方、MOSTランジスタ4fが導通状態であり、ノードAは、接地電圧VssQ電圧レベルに放電される。

【0026】時刻t1において、この内部読出データ/RDがHレベルからLレベルに立下がると、応じてNOR回路4bの出力信号がHレベルに立上がり、MOSTランジスタ4eおよび4gが導通状態となる。一方、N

OR回路4cの出力信号がLレベルとなり、MOSTランジスタ4fが非導通状態となる。したがって、出力ノードJが、MOSTランジスタ4eおよび4gにより、電源電圧VddQの電圧レベルにまで駆動される。

【0027】時刻t2において、再び内部読出データ/RDがLレベルからHレベルに立上がると、逆に、NOR回路4bの出力ノードEの電圧レベルがHレベルからLレベルに立下がり、MOSTランジスタ4eおよび4gが非導通状態となる。一方NOR回路4cの出力ノードNHの電圧レベルがHレベルになり、MOSTランジスタ4fが導通し、出力ノードJが、接地電圧VssQの電圧レベルにまで放電される。

【0028】出力ノードJを電源電圧VddQのレベルにまで上昇させるために、nチャネルMOSTランジスタ4eおよびpチャネルMOSTランジスタ4eが用いられているのは以下の理由による。nチャネルMOSTランジスタ4eは、ノードGの電圧レベルが電源電圧VddQのレベルにまでしか上昇しない場合、出力ノードJを、電源電圧VddQの電圧レベルまで駆動することができない(しきい値電圧損失)。このMOSTランジスタ4eのしきい値電圧の損失分を、pチャネルMOSTランジスタ4gで補充し、出力ノードJを、電源電圧VddQの電圧レベルにまで上昇させる。これにより出力ノードJは、電源電圧VddQと接地電圧VssQの間でフルスイングする。

【0029】

【発明が解決しようとする課題】半導体記憶装置は、さまざまなシステムにおいて用いられる。その場合、システム電源電圧としては2.5Vおよび1.8V…のようにさまざまな電圧レベルが用いられる。これらのさまざまな電圧レベルのインタフェースに応じて、それぞれ最適化されたインタフェース回路(入出力回路)を作り分けると、同期型半導体記憶装置の種類が増加し、製品管理が煩雑となる。また、システム電源電圧が変更された場合、同期型半導体記憶装置の互換性がなく、ユーザにとって経済性に欠ける。そこで、複数のインタフェースレベルの電源電圧に1つのチップで対応することにより、製品管理の簡素化を図り、またユーザにとっての使い易さを改善する。しかしながら、図16に示すようなMOSTランジスタを用いて入力初段回路を構成して電源電圧変換を行なう場合、以下のような問題が生じる。すなわち、MOSTランジスタの電流駆動力がゲート電圧に従って変化する。ゲート電圧が高くなれば、電流駆動力も大きくなる(飽和領域における二乗特性)。

【0030】今、図20に示すように、電源電圧Vddiがたとえば2.5Vにおいて、必要とされる条件を満足する回路を実現した場合を考える。入力信号IN1がHレベルからLレベルに変化するとき、ノードAは、MOSTランジスタ2abにより電源電圧Vddiレベルへ充電される。このノードAの電位上昇に従って、ノードBの電位が低下する。ノードAおよびノードBの電圧

振幅は、電源電圧Vddiレベルである。ノードAの電圧レベルが上昇すると、MOSTランジスタ2cbのコンダクタンスが大きくなり、ノードBの電圧レベルを接地電圧レベルに低下させる。次に、ノードCがMOSTランジスタ2ccを介して電源電圧Vddレベルに充電される。MOSTランジスタ2ccが導通する場合、ノードDの電圧レベルが接地電圧レベルへ放電される。したがって、この電源電圧Vddiの影響を受けずに、MOSTランジスタ2ccがノードCを電源電圧Vddレベルに充電する。MOSTランジスタ2caはノードBの接地電圧レベルになり非導通状態とされている。このノードCの電圧レベルが、インバータバッファ2dにより反転されて、ノードEの内部信号INTの電圧レベルがHレベルからLレベルに立下がる。各ゲートにおける遅延時間を考慮すると、この入力信号IN1から内部信号INTが変化するための時間がtdであるとする。

【0031】入力信号IN1がLレベルからHレベルに立上がる場合、ノードAはMOSTランジスタ2acおよび2adにより放電され、ノードAの電圧レベルが接地電圧レベルへ放電される。応じてノードBの電圧レベルが電源電圧Vddiレベルに達し、MOSTランジスタ2caのコンダクタンスが大きくなり、ノードCの電圧レベルが低下する。このノードCの電圧低下に従ってMOSTランジスタ2cdが導通し、MOSTランジスタ2ccを非導通状態へ駆動する。応じて、ノードCの電圧レベルがLレベルに低下し、内部信号INTが電源電圧Vddレベルに上昇する。この場合、MOSTランジスタ2caによるノードCの放電速度と、ノードDのMOSTランジスタ2cbによる放電速度は同じであり、応じてノードCの充放電速度も同じと考えられる。したがって、この入力信号IN1がLレベルからHレベルに立下がるときの内部信号INTの時間もtdとなる。

【0032】いま、電源電圧Vddiが、2.5Vよりも低く1.8Vに設定された場合を考える。この場合、図20において破線で示すように、入力初段バッファ回路2aおよびインバータ回路2bにおいて、そのノードAおよびノードBの充放電速度は同じであるものの、信号電位変化は、MOSTランジスタの電流駆動力が小さくなるため、電源電圧Vddiが2.5Vの場合より遅くなり、遅延時間が大きくなる。

【0033】ノードBの電圧レベルが接地電圧レベルの場合、MOSTランジスタ2caは非導通状態であり、MOSTランジスタ2cbが導通状態となる。この場合、ノードDの電位低下は、2.5Vのときよりも少し緩やかとなるが、このノードDは最終的に接地電圧レベルまで放電されるため、MOSTランジスタ2ccは、MOSTランジスタ2caの放電速度よりも速い充電速度でノードCを電源電圧Vddレベルにまで上昇させ

る。したがって、このノードCの電圧の立上がり時間も、ノードCの電圧の立下がり時間が図20において破線で示すように長くなる。応じて、ノードEの内部信号INTの立上がりの時間が長くなり、立上がり速度が遅くなる。したがって、この電源電圧Vddiがたとえば1.8Vと低くなった場合、入力信号IN1に対する内部信号INTの遅延時間が図20においてそれぞれ示すように、立下がり時において遅延時間td1、立上がりに対してはtd2となり、内部信号INTの立上がりおよび立下がりの遅延時間が異なることになる。

【0034】この場合、図21に示すように、内部信号INTが電源電圧Vddの振幅を持つが電源電圧Vddiが低いと、内部信号INTがHレベルからLレベルに立下がる時間と、LレベルからHレベルに立上がる時間が異なる。すなわち、内部信号INTのHレベル判定に要する時間と内部信号INTがLレベルに確定する時間とが異なる。内部動作タイミングは、この最悪ケースで定められるため、この内部信号INTの立上がり時間によりその動作速度が決定され、高速動作を行なうことができなくなる。特に、この内部信号INTの立上がりおよび立下がりの時間が異なる場合、同期型半導体記憶装置では、以下に示す問題が生じる。

【0035】図22(A)に示すように、同期型半導体記憶装置において、信号INTのセットアップ時間tsおよびホールド時間thがクロック信号CLKのたとえば立上がりに対して定められている。内部信号INTが活性状態のときには、Lレベルに設定される場合、この内部信号INTのホールド時間thが不必要に長くなり、高速で次の動作に移行することができなくなる。

【0036】一方、図22(B)に示すように、内部信号INTが活性状態のときにはクロック信号CLKの立上がりエッジでHレベルに設定される場合、そのセットアップ時間tsがクロック信号CLKの立上がりの方向に移行するため、セットアップ時間tsが短くなり、正確な信号の取込みを行なうことができなくなる。

【0037】通常、同期型半導体記憶装置において、クロック信号CLKが100MHzの場合、たとえばセットアップ時間tsが1.5ns、およびホールド時間thが0.5nsのように仕様で定められている。このセットアップ時間およびホールド時間の間を正確に内部信号INTを所定電圧レベルに保持しなければ、意図する動作を保証することができない。したがって、この信号の立上がり時間および立下がり時間が変化する場合、このセットアップ時間とホールド時間の仕様値を満足できない場合、正確な動作を保証することができない。またタイミングのずれが、たとえば0.2nsの場合、このセットアップ時間とホールド時間の許される時間の10%以上の大きな値となり、このようなタイミングのずれを見込んでセットアップ/ホールド時間の仕様値を定めた場合、高速アクセスを実現することができなくなる。

【0038】逆に、電源電圧Vddiが1.8Vのときに、このレベル変換回路3にてノードCの放電速度および充電速度を同じとなるように設定した場合、電源電圧Vddiが2.5Vと高くなった場合、ノードCの放電速度がより速くなり、内部信号INTの立上がり時間が短く、逆の問題が生じる。

【0039】また、図18に示す出力回路4においても、この電源電圧VddQを、外部のインタフェースに適用させるために、電源電圧Vddiと同じ電圧レベルを用いた場合、pチャネルMOSトランジスタ4gの充電速度が電源電圧VddQよりも低くなった場合に小さくなり、充電速度が放電速度よりも遅くなる。この場合、電源電圧VddQの電圧レベルが低い場合にノードAの充放電速度が等しくなるように設定した場合、電源電圧VddQの電圧レベルが高くなった場合、pチャネルMOSトランジスタ4gの電流駆動力が大きくなり、充電速度が速くなる。この場合、出力ノードJにおいて、大きな電流駆動力により、リングングが発生し、そのリングングが消滅するまでに時間を要し、高速データ出力を行なうことができなくなる（出力データ確定タイミングがリングングがなくなるタイミングにまで遅くなる）。

【0040】また、電源電圧VddQが一定電圧レベルであっても、この出力ノードJに接続される負荷は、同期型半導体記憶装置が用いられるシステムにより異なる。同期型半導体記憶装置がシステムに組込まれる場合、基板ボード上に配設され、このボード上配線の負荷容量がシステムごとに異なった場合、出力ノードJの負荷は、各用いられるシステムごとに異なる。負荷が小さい場合、出力ノードが高速で充放電されることになるため、この出力ノードJにリングングが発生しやすく、安定にデータを出力することができなくなるという問題が生じる。このリングングは、大きな負荷特に、インダクタンス成分がたとえばパッドおよびピン端子およびボード上配線などにおいて存在するためである。負荷が大きい場合、出力ノードJを高速充放電できない。

【0041】上述のような入出力回路の問題は、同期型半導体記憶装置に限らず、一般の半導体集積回路装置においても生じる。

【0042】それゆえ、この発明の目的は、異なる動作環境においても正確に動作するインタフェースを有する半導体集積回路装置を提供することである。

【0043】この発明の他の目的は、複数の電源電圧に対しても内部信号のタイミングのずれが生じることがなく、安定に動作する半導体集積回路装置を提供することである。

【0044】この発明のさらに他の目的は、動作電源電圧の電圧レベルが異なっても、内部信号のタイミングのずれが生じることのない入力回路を備える半導体集積回路装置を提供することである。

10

20

30

40

50

【0045】この発明のさらに他の目的は、用いられる動作環境が異なっても、ノイズを発生することなく安定に動作する出力回路を備える半導体集積回路装置を提供することである。

【0046】

【課題を解決するための手段】請求項1に係る半導体集積回路装置は、与えられた信号に所定の処理を施してこの与えられた信号に対応する信号をノード上に出力する信号処理回路と、この処理回路に結合され、ノード上の信号の電位変化速度をプログラマブルに調整するための調整回路を備える。

【0047】請求項2に係る半導体集積回路装置は、請求項1の信号処理回路が、第1の電源電圧を一方動作電源電圧として動作し、与えられた信号をバッファ処理する入力段と、第2の電源電圧を一方動作電源電圧として動作し、この入力段から与えられた信号のレベル変換を行なってノード上に出力するレベル変換段とを含み、また調整回路が、このレベル変換段のノードの駆動電流量を調整する回路素子を含む。

【0048】請求項3に係る半導体集積回路装置は、請求項2のレベル変換段が、第1の内部ノードとノードとの間に結合される第1導電型の第1の絶縁ゲート型電界効果トランジスタと、第2の内部ノードとノードとの間に結合される第2導電型の第2の絶縁ゲート型電界効果トランジスタとを含み、調整回路の回路素子が、第1の電源電圧の電圧レベルに応じて、第1の内部ノードおよび第2の内部ノードそれぞれの電流量を設定する。

【0049】請求項4に係る半導体集積回路装置は、請求項3の回路素子が、第2の電源電圧を供給する第1の電源ノードと第1の内部ノードとの間に結合される第1の電流供給素子と、第2の内部ノードと第3の電源電圧を供給する第2の電源ノードとの間に結合される第2の電流供給素子と、第1の電源ノードと第1の内部ノードとの間に接続可能に配置され、導通時第1の電源ノードと第1の内部ノードとの間に電流が流れる経路を形成する第1のプログラマブル素子と、第2の電源ノードと第2の内部ノードとの間に接続可能に配置され、導通時第2の電源ノードと第2の内部ノードとの間に電流経路を形成する第2のプログラマブル素子とを備える。これらの第1および第2のプログラマブル素子が第1の電源電圧のレベルに応じて択一的に非導通状態とされる。

【0050】請求項5に係る半導体集積回路装置は、請求項4の第1のプログラマブル素子が、第1の電源ノードと第1の内部ノードとの間に結合され、かつそのゲートに所定の電圧を受ける第1導電型の絶縁ゲート型電界効果トランジスタを備え、第2のプログラマブル素子が、第2の電源ノードと第2の内部ノードとの間に結合され、かつそのゲートに所定の電圧を受ける第2導電型の絶縁ゲート型電界効果トランジスタを備える。この所定電圧は、第1の電源電圧のレベルに応じてその電圧レ

ベルが固定的に設定される。

【0051】請求項6に係る半導体集積回路装置は、請求項4の第1のプログラマブル素子が、第1の電源ノードと第1の内部ノードとの間に結合され、そのゲートが第1の絶縁ゲート型電界効果トランジスタのゲートおよび第1の電源ノードに択一的に結合される第1導電型の第3の絶縁ゲート型電界効果トランジスタを備え、また第2のプログラマブル素子が、第2の電源ノードと第2の内部ノードとの間に結合され、かつそのゲートが第2の絶縁ゲート型電界効果トランジスタのゲートおよび第2の電源ノードに択一的に結合される第2導電型の第4の絶縁ゲート型電界効果トランジスタを備える。これら第3および第4の絶縁ゲート型電界効果トランジスタは、それぞれのゲートが第1の電源ノードおよび第2の電源ノードに結合されるとき非導通状態となる。

【0052】請求項7に係る半導体集積回路装置は、請求項4の第1のプログラマブル素子が、第1導電型の第3の絶縁ゲート型電界効果トランジスタと、この第3の絶縁ゲート型電界効果トランジスタと直列に結合され、導通時第1の電源ノードと第1の内部ノードとの間にこの第3の絶縁ゲート型電界効果トランジスタを介して電流が流れる経路を形成する溶断可能な第1のリンク素子を備え、また第2のプログラマブル素子が、第2導電型の第4の絶縁ゲート型電界効果トランジスタと、この第4の絶縁ゲート型電界効果トランジスタと直列に結合され、導通時第2の電源ノードと第2の内部ノードとの間にこの第4の絶縁ゲート型電界効果トランジスタを介して電流が流れる経路を形成する溶断可能な第2のリンク素子を備える。

【0053】請求項8に係る半導体集積回路装置は、請求項1の信号処理回路が、装置外部とのインタフェースをとるインタフェース段を含み、調整回路はこのインタフェース段の動作電源電圧のレベルに応じてノードの電位変化速度をプログラマブルに調整する。

【0054】請求項9に係る半導体集積回路装置は、請求項1の信号処理回路が、装置外部から与えられる信号をバッファ処理して内部信号を生成する入力回路である。

【0055】請求項10に係る半導体集積回路装置は、請求項1の信号処理回路が、与えられた信号をバッファ処理して装置外部へノードを介して出力する出力段を含む。この出力段は、与えられた信号に従ってノードを第1の電源電圧レベルへ駆動するための第1導電型の第1の絶縁ゲート型電界効果トランジスタと、与えられた信号に従って第1の絶縁ゲート型電界効果トランジスタと相補的に導通し、ノードを第2の電源電圧レベルで駆動する第2の絶縁ゲート型電界効果トランジスタとを備える。調整回路は、このノードに結合され、与えられた信号に従って第1の電源電圧レベルへこのノードを駆動するための第3の絶縁ゲート型電界効果トランジスタと、

15

ノードに結合され、この与えられた信号に従って前記第2の電源電圧レベルへこのノードを駆動するための第4の絶縁ゲート型電界効果トランジスタと、これら第3および第4の絶縁ゲート型電界効果トランジスタとともに与えられた信号にตอบสนองして動作するか常時非導通状態に設定するためのプログラム手段とを備える。請求項11に係る半導体集積回路装置は、請求項10の出力段がさらに、第1の絶縁ゲート型電界効果トランジスタと異なる導電型を有しかつ与えられた信号に従ってこの第1の絶縁ゲート型電界効果トランジスタと同相で導通し、ノードを第1の電源電圧レベルへ駆動するための第5の絶縁ゲート型電界効果トランジスタを含み、調整回路が、さらに、第1の絶縁ゲート型電界効果トランジスタと同一の導電型を有しかつプログラム手段により動作可能／不能状態が設定され、与えられた信号に従ってノードを第1の電源電圧レベルへ駆動するための第6の絶縁ゲート型電界効果トランジスタを備える。

【0056】請求項12に係る半導体集積回路装置は、請求項1の信号処理回路が、与えられた信号としてのメモリセルから読出されたデータを装置外部へ出力するための出力バッファである。

【0057】請求項13に係る半導体集積回路装置は、請求項1から12のいずれかにおいて、この半導体集積回路装置が、クロック信号に同期して外部信号の取込みおよびデータの入出力を行なう同期型半導体記憶装置である。

【0058】信号処理回路の出力ノードの信号の電位変化速度をプログラマブルに調整することにより、この半導体集積回路装置が用いられる動作環境に応じて信号の変化速度を調整することができ、動作環境に応じて最適な動作条件を実現することができる。

【0059】

【発明の実施の形態】

〔実施の形態1〕図1は、この発明の実施の形態1に従う半導体集積回路装置の要部の構成を示す図である。図1においては、図16と同様、同期型半導体記憶装置の入力回路初段部の構成を示す。図1において、入力回路初段部は、従来と同様、内部で生成される入力初段カット信号ZNCの非活性化時作動状態とされ、外部から与えられる入力信号INをバッファ処理するバッファ回路2aと、このバッファ回路2aの出力信号をさらにバッファ処理するインバータバッファ回路2bと、インバータバッファ回路2bの出力信号の論理振幅を内部電源電圧Vddレベルに変換するレベル変換回路2cと、このレベル変換回路2cの出力信号をさらにバッファ処理してノードEに内部信号INTを生成する電流量調整機能付バッファ回路20を含む。バッファ回路2aおよびインバータバッファ回路2bは、入力初段部の入力段を構成し、外部とのインタフェースをとるため、たとえばシステム電源電圧である電源電圧Vddiを一方動作電源

16

電圧として動作する。レベル変換回路2cおよびバッファ回路20は、レベル変換段を構成し、この電源電圧Vddiレベルの信号の論理振幅を、内部電源電圧Vddレベルの信号に変換する。バッファ回路2aおよびインバータ回路2bならびにレベル変換回路2cは、図16に示す従来の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0060】電流量調整機能付バッファ回路20は、第1の内部ノード21aとノードEの間に接続されかつそのゲートがノードCに接続されるpチャネルMOSトランジスタ20aと、ノードEと第2の内部ノード21bの間に接続されかつそのゲートがノードCに接続されるnチャネルMOSトランジスタ20bと、内部電源電圧Vddを供給する電源ノードVddと第1の内部ノード21aの間に接続されかつそのゲートが接地電圧を受けるように結合されるpチャネルMOSトランジスタ20cと、電源電圧ノードVddと第1の内部ノード21aの間に接続されかつそのゲートがボンディングパッド22に接続されるpチャネルMOSトランジスタ20dと、第2の内部ノード21bと接地ノードVssの間に接続されかつそのゲートが内部電源電圧Vddを受けるように結合されるnチャネルMOSトランジスタ20eと、第2の内部ノード21bと接地ノードVssの間に接続されかつそのゲートがボンディングパッド22に接続されるnチャネルMOSトランジスタ20fを含む。

【0061】MOSトランジスタ20cおよび20eは常時導通状態にあり、電流供給素子として作用する。MOSトランジスタ20dおよび20fはボンディングパッド22の電圧レベルにより選択的に導通状態とされる。これらMOSトランジスタ20dおよび20fは、一方が導通状態のときには他方が非導通状態になる。このボンディングパッド22は、電源電圧Vddiの電圧レベルに応じて、電源電圧Vddまたは接地電圧Vssのレベルにボンディングワイヤ（図示せず）を用いて固定される。この電流供給量をボンディングパッド22の電圧レベルのプログラムにより調整することにより、電源電圧Vddiの電圧レベルが変化しても、ノードEの電圧変化速度を同じとすることができる。

【0062】このノードE上の内部信号INTは、クロック信号CLKに同期して動作する内部入力回路24へ与えられる。内部入力回路24の出力信号が図15に示すメモリ内部回路3へ与えられる。次に動作について説明する。

【0063】バッファ回路2aおよびインバータ回路2bならびにレベル変換回路2cの動作は従来と同じである。電源電圧Vddiの電圧レベルがたとえば2.5Vの電圧レベルのときには、ボンディングパッド22は、電源電圧Vddを受けるようにボンディングワイヤを介して電源電圧Vdd端子に接続される。この、「プログラム」という用語は、ヒューズ素子（リンク素子）、マ

スク配線およびボンディングパッドによるボンディングワイヤなどにより、固定的にある状態に設定することを示す。

【0064】ボンディングパッド22が電源電圧Vddのレベルに設定された場合、電流量調整機能付バッファ回路20においては、MOSTランジスタ20fが導通状態、MOSTランジスタ20dが非導通状態となる。この状態においては、MOSTランジスタ20cがノードEを充電するための電流源として作用し、一方MOSTランジスタ20eおよび20fがノードEを放電する電流源として機能する。このMOSTランジスタ20eおよび20fがともに導通状態とされたときに、ノードEの内部信号INTの立上がり時間および立下がり時間が同じとなるようにトランジスタのパラメータ(サイズ)を設定する。

【0065】電源電圧Vddiがたとえば1.8Vに設定される場合には、ボンディングパッド22は、接地電圧Vssレベルに図示しないボンディングワイヤを介して固定される。この状態においては、電流量調整機能付バッファ回路20においては、MOSTランジスタ20fが非導通状態となり、MOSTランジスタ20dが導通状態となる。電源電圧Vddiが低くなった場合、バッファ回路2a、インバータ回路2bならびにレベル変換回路2cにおいて遅延時間が大きくなる。また、レベル変換回路2cにおいてその出力ノードCの立下がり速度が遅くなる。この状態において、最終段の電流量調整機能付バッファ回路20において、ノードEを充電するための電流源として、MOSTランジスタ20cおよび20dが用いられており、したがって電源電圧Vddiが2.5Vのときに比べて、大きな電流駆動力をもってノードEが充電され、このノードCの電位立上がり速度の低下時においても、ノードEの内部信号INTの立上がりの速度低下を補償する。一方、ノードCの電圧が上昇する場合、このノードEは、MOSTランジスタ20eのみを介して放電される。したがって、ノードEの放電速度が、電源電圧Vddiが2.5Vのときよりも遅くなり、内部信号INTの立下がり時間が長くなる。これにより、内部信号INTの立上がり時間および立下がり時間を等しくすることができる。

【0066】すなわち、図2に示すように、ノードCの電位低下速度がその電位上昇速度よりも遅くなる場合、電流量調整機能付バッファ回路20においては、出力ノードの充電速度が速くされて一方放電速度が遅くされる。したがって、ノードCの電圧レベルが緩やかに低下しても、ノードEの電圧は、2つのMOSTランジスタ20cおよび20dを用いて高速で立上がる。一方、ノードCの電圧レベルが上昇する場合、このノードEの放電は1個のMOSTランジスタ20eに対して行なわれたため、その放電速度が遅くなる。これにより、ノードEにおける内部信号INTの立上がり時間および立下がり

り時間をTdと等しくすることができる。内部出力ノードEの充電速度および放電速度両者を調整することにより、たとえば0.2nsのような微小なずれを、装置サイズを大きくすることなく確実に調整することができる。

【0067】以上のように、この発明の実施の形態1に従えば、内部電源電圧レベルの信号を生成するレベル変換段において、そのインタフェース電源電圧Vddiの電圧レベルに応じて内部出力ノードを駆動する回路部分の電流駆動力を調整するように構成しているため、インタフェース用電源電圧Vddiが異なる場合においても、立上がりおよび立下がり時間を同じとすることができ、内部信号確定時におけるタイミングのずれが生じることがなく、内部信号INTに対するタイミングマージンを大きくすることができ、安定に動作させることができる。

【0068】また、同期型半導体記憶装置の場合、この内部信号INTのクロック信号CLKに対するセットアップ時間およびホールド時間も、インタフェース用電源電圧Vddiの電圧レベルにかかわらず記号のいずれかの論理レベルに対しても同じとすることができ、正確に内部動作を行なうことができる。

【0069】[実施の形態2] 図3は、この発明の実施の形態2に従う半導体集積回路装置の要部の構成を示す図である。図3においては、マスター工程で形成された同期型半導体記憶装置の入力回路初段部の構成を示す。図3において、外部からの入力信号INを受けてバッファ処理するバッファ回路2a、このバッファ回路2aの出力信号をバッファ処理するインバータバッファ回路2bおよびこのインバータバッファ回路2bの出力ノードBの電圧レベルを変換するレベル変換回路2cの構成は先の実施の形態1に示すものと同じである。

【0070】この図3に示す実施の形態2においては、電流量調整機能付バッファ回路20の構成が、以下の点において実施の形態1と異なっている。すなわち、電源ノードVddと第1の内部ノード21aの間に、電流供給素子20cと並列にpチャネルMOSTランジスタ20gが設けられ、第2の内部ノード21bと接地ノードVssの間に、電流供給素子20eと並列にnチャネルMOSTランジスタ20hが設けられる。MOSTランジスタ20gおよび20hのゲートは、マスター工程においては、開放状態である。このMOSTランジスタ20gおよび20hのゲートを、最終のスライス工程において、アルミニウム配線によりその電氣的接続を形成する。

【0071】図4は、インタフェース電源電圧Vddiが2.5Vのときの電流量調整機能付バッファ回路20の配線接続を示す図である。図4において、MOSTランジスタ20gのゲートは、配線25aにより電源ノードVddに接続される。一方、MOSTランジスタ20

19

hのゲートは、配線25bを介してノードCに接続される。この状態においては、MOSTランジスタ20gは、常時非導通状態となり、ノードEの充電は、電流供給素子20cのみを介して行なわれる。一方、MOSTランジスタ20hは、ノードCの電圧レベルがHレベルのときに導通する。ノードEが放電されるのは、ノードCの電圧レベルがHレベルのときであり、必要なときのみ、このMOSTランジスタ20hを導通状態とする。ノードCの電圧レベルがLレベルに立下がるときには、MOSTランジスタ20hのMOSTランジスタ20bと同時に非導通状態となり高速で、ノードEの放電経路を遮断する。

【0072】この図4に示す接続において、ノードEの内部信号INTの立上がり時間および立下がり時間が等しくなるように各トランジスタパラメータを設定する。

【0073】図5は、インタフェース電源電圧Vddiが1.8Vのときの電流量調整機能付バッファ回路20の配線接続を示す図である。この図5においては、MOSTランジスタ20gのゲートは配線25cを介してノードCに接続される。一方、MOSTランジスタ20hのゲートは配線25dを介して接地ノードVssに接続される。したがってこの状態においては、MOSTランジスタ20hが常時非導通状態となり、一方MOSTランジスタ20gが、ノードCの電位の立下がり時に導通状態となる。

【0074】この図5に示す配線接続においては、ノードCの電位立下がり時に、MOSTランジスタ20aが、MOSTランジスタ20cおよび20gを介して電流が供給され、ノードEの内部信号INTが速く立下がる。一方、ノードCの電圧レベルが上昇するとき、ノードEは、MOSTランジスタ20eを介して放電され、その放電速度が遅くなる。したがって、先の実施の形態1と同様、インタフェース電源電圧Vddiが1.8Vのときの内部信号INTの立上りの遅れが補償され、一方ノードEの内部信号INTの立下がり速度が遅くなり、その立下がり時間が電源電圧Vddiが2.5Vのときよりも長くなる。これにより、インタフェース電源電圧Vddiが1.8Vのときの内部信号INTの立上がり時間および立下がり時間を等しくすることができる。

【0075】[変更例1]図6は、この発明の実施の形態2の変更例1の構成を示す図である。この図6に示す、電流量調整機能付バッファ回路20においては、第1の内部ノード21aと電源ノードVddの間に互いに並列にpチャネルMOSTランジスタ20cおよび20iが設けられる。また第2の内部ノード21bと接地ノードVssの間に、並列に、nチャネルMOSTランジスタ20eおよび20jが設けられる。ノード20aおよび21bの間には、pチャネルMOSTランジスタ20aおよび20bが互いに直列に接続される。MOST

20

ランジスタ20cおよび20iのゲートは接地ノードに接続され、MOSTランジスタ20eおよび20jのゲートは電源ノードVddに接続される。MOSTランジスタ20iの一方導通端子(ドレイン)は、選択的に形成される配線25eにより第1の内部ノード21aに接続される。MOSTランジスタ20jのドレインは、選択的に形成される配線25fにより第2の内部ノード21bに選択的に接続される。

【0076】インタフェース電源電圧Vddiがたとえば2.5Vの場合には、配線25fが形成され、MOSTランジスタ20jが第2の内部ノード21bと接地ノードVssの間に電流経路を形成する。一方配線25eは形成されず、MOSTランジスタ20iは、電源ノードVddと第1の内部ノード21aの間には電流経路を形成しない。

【0077】一方、インタフェース電源電圧Vddiが、1.8Vのときには、配線25eが形成され、MOSTランジスタ20iが電源ノードVddと内部ノード21aの間に電流が流れる経路を形成する。一方、配線25fが形成されず、第2の内部ノード21bから接地ノードVssへのMOSTランジスタ20jを介しての電流経路は形成されない。

【0078】この図6に示すように、インタフェース電源電圧Vddiの電圧レベルに応じて電流供給のためのMOSTランジスタ20aおよび20jをそれぞれ第1および第2の内部ノードへ選択的に接続することにより、この内部出力ノードE上の電位変化速度を調整することができ、応じて内部信号INTの立上がりおよび立下がり時間を同じとすることができる。

【0079】[変更例2]図7は、この発明の実施の形態2の変更例2の構成を示す図である。この図7に示す構成においては、第1の内部ノード21aと電源ノードVddの間で、電流供給用のpチャネルMOSTランジスタ20cと並列にpチャネルMOSTランジスタ20kが設けられ、また第2の内部ノード21bと接地ノードVssの間に、電流供給用のnチャネルMOSTランジスタ20eと並列にnチャネルMOSTランジスタ20lが設けられる。MOSTランジスタ20kのゲートは、配線25gにより電源ノードVddまたは接地ノードVssの一方に択一的に接続される。なお、nチャネルMOSTランジスタ20aでも、マスク配線25hにより電源ノードVddおよび接地ノードVssに択一的に接続される。

【0080】インタフェース電源電圧Vddiがたとえば2.5Vのときには、マスク配線25gは、MOSTランジスタ20kのゲートを電源電圧Vddレベルに接続し、またマスク配線25hが、MOSTランジスタ20lのゲートを電源ノードVddに接続する。この状態で、ノードEの充放電速度が同じになるように各トランジスタのサイズが調整される。

21

【0081】インタフェース電源電圧 V_{ddi} がたとえば1.8Vと低くなる場合には、MOSTランジスタ25kのゲートはマスク配線25gにより接地ノード V_{ss} に接続される。なお、MOSTランジスタ20lのゲートはマスク配線25hにより接地ノード V_{ss} に接続される。これにより、MOSTランジスタ20kが非導通状態、MOSTランジスタ20lが非導通状態となり、ノードEの電位上昇速度が速くされ、一方、ノードEの放電速度が遅くされ、これにより内部信号INTの立上がり/立下がり時間が等しくされる。

【0082】この変更例2においても、マスク配線により選択的に電流供給量調整のためのMOSTランジスタを導通、非導通状態に設定しており、インタフェース電源電圧のレベルに応じて内部出力ノードEの充放電速度を等しくすることができる。

【0083】[変更例3]図8は、この発明の実施の形態2の変更例3の構成を示す図である。図8に示す構成においては、電流供給素子20cと並列に設けられるpチャネルMOSTランジスタ20mは、その一方導通端子(ソース)が配線25iを介して選択的に電源ノード V_{dd} に接続される。MOSTランジスタ20mのゲートは接地ノード V_{ss} に接続される。第2の内部ノード21bと接地ノード V_{ss} の間に接続される電流供給用nチャネルMOSTランジスタ20eと並列にnチャネルMOSTランジスタ20nが設けられる。このMOSTランジスタ20nのゲートは電源ノード V_{dd} に接続され、一方導通端子(ソース)は配線25jにより選択的に接地ノード V_{ss} に接続される。インタフェース電源電圧 V_{ddi} がたとえば2.5Vの場合、配線25iが形成されず、一方、配線25jが形成され、MOSTランジスタ20nが電流供給素子として機能する。この状態で、内部出力ノードEからの内部信号INTの立上がり時間および立下がり時間を等しくする。

【0084】インタフェース電源電圧 V_{ddi} がたとえば1.8Vと低くなる場合には、配線25iを形成し、一方、配線25jは形成しない。この状態では、MOSTランジスタ20mが電流供給素子として作用し、ノードEの電流供給力が大きくなり、内部信号INTの立上がり時間が速くなり、一方MOSTランジスタ20nが電流供給素子としては機能しないため、内部出力ノードEからの内部信号INTの立下がり速度が少し遅くなる。これにより、内部信号INTの立上がり時間および立下がり時間を等しくする。

【0085】以上のように、この発明の実施の形態2に従えば、マスク配線により、インタフェース電源電圧 V_{ddi} の電圧レベルに応じて内部出力ノードの充放電速度を調整するように構成しているため、1つのチップで複数種類のインタフェース電源電圧に対応することができる。また内部信号発生タイミングを微調整することができ、応じて内部信号確定タイミングに対するマージン

22

が大きくなり、正確な動作を保証することができる。

【0086】[実施の形態3]図9は、この発明の実施の形態3に従う半導体集積回路装置の要部の構成を示す図である。図9においては、インタフェース電源電圧 V_{ddi} の論理振幅を有する内部信号を内部電源電圧 V_{dd} レベルに変換するレベル変換段の最終段の構成が示される。図9において、電流調整機能付バッファ回路20は、以下の点で、実施の形態1および2と異なる。すなわち、電源ノード V_{dd} と第1の内部ノード21aの間に、電流供給素子20cと並列に、pチャネルMOSTランジスタ20pおよび溶断可能なリンク素子(ヒューズ素子)27aが接続される。MOSTランジスタ20pは、その一方導通ノード(ソース)が電源ノード V_{dd} に接続され、そのゲートが接地ノード V_{ss} に接続され、その他方導通ノード(ドレイン)がリンク素子27aを介して第1の内部ノード21aに接続される。

【0087】また、第2の内部ノード21bと接地ノード V_{ss} の間に、電流供給素子20eと並列に、nチャネルMOSTランジスタ20qおよび溶断可能なリンク素子(ヒューズ素子)27bが接続される。MOSTランジスタ20qは、その一方導通ノード(ソース)が接地ノード V_{ss} に接続され、そのゲートが電源ノード V_{dd} に接続され、その他方導通ノード(ドレイン)がリンク素子27bを介して第2の内部ノード21bに接続される。

【0088】MOSTランジスタ20pおよび20qは常時導通状態にある。リンク素子27aおよび20bを選択的に溶断する。インタフェース電源電圧 V_{ddi} がたとえば2.5Vのときには、リンク素子27aがたとえばレーザ光線などのエネルギー線により溶断される。このMOSTランジスタ20qが電流供給素子(放電素子)として機能する状態において、内部出力ノードEからの内部信号INTの立上がり時間および立下がり時間を等しくする。

【0089】インタフェース電源電圧 V_{ddi} がたとえば1.8Vのときには、リンク素子27bを溶断する。この状態においては、MOSTランジスタ20pが電流供給素子として機能し、一方MOSTランジスタ20qは第2の内部ノード21bから切離される。したがって、内部出力ノードEにおける充電速度が速くされかつ放電速度が遅くされ、応じて内部信号INTの立上がりおよび立下がり時間も等しくする。

【0090】リンク素子27aおよび27bは、この同期型半導体記憶回路装置に含まれるメモリセルの不良セル救済工程における冗長セル置換え時のプログラム工程と同一工程で行なう。すなわち、不良ビット置換えのためのアドレスプログラム時において、リンク素子がたとえばレーザ光線により溶断される(プログラムされる)。このプログラム工程と同一工程でリンク素子27aおよび27bを、この記憶装置が用いられる電源電圧に応じ

10

20

30

40

50

て選択的に溶断する。これにより、何ら工程数を増加させることなく、この同期型半導体記憶装置を、1個のリンク素子の溶断により作り分けることができる。

【0091】なお、たとえばこの同期型半導体記憶装置内において基準電圧発生回路が設けられており、この基準電圧発生部からの基準電圧レベルを調整するトリミング工程が存在する場合、同様に、リンク素子の選択的溶断が行なわれる。したがって、このトリミング工程時においてリンク素子27aおよび27bの選択的溶断が行なわれてもよい。

【0092】[変更例] 図10は、この発明の実施の形態3の変更例の構成を示す図である。この図10に示す構成は、図9に示す構成とはリンク素子が配置される位置が異なる。すなわち、電源ノードVddと第1の内部ノード21aの間に、電流供給素子(MOSTランジスタ)20cと並列に、その一方導通ノード(ソース)がリンク素子27cを介して電源ノードVddに接続され、そのゲートが接地ノードVssに接続されかつその他方導通ノード(ドレイン)が第1の内部ノード21aに接続されるpチャネルMOSTランジスタ20rが設けられる。同様に、また第2の内部ノード21bと接地ノードVssの間に、電流供給素子20dと並列に、その一方導通ノード(ソース)がリンク素子27dを介して接地ノードVssに接続され、そのゲートが電源ノードVddに接続されかつその他方導通ノード(ドレイン)が第2の内部ノード21bに接続されるnチャネルMOSTランジスタ20fが設けられる。

【0093】この図10に示す配置においては、リンク素子27cの溶断時、MOSTランジスタ20rが電源ノードVddから切離される。MOSTランジスタ20rが第1の内部ノード21aに対する寄生容量として作用し、この第1の内部ノード21aにおける電圧レベルの安定化に寄与する。同様、nチャネルMOSTランジスタ20sも、リンク素子27dの溶断時接地ノードから切離され、第2の内部ノード21bに対する安定化容量として機能し、この第2の内部ノード21bの電圧レベルを安定化する。

【0094】この図10に示す配置においても、インタフェース電源電圧Vddがたとえば2.5Vのときには、リンク素子27cが溶断されてMOSTランジスタ20rが電源ノードVddから切離され、一方、MOSTランジスタ20sは電流供給素子として機能する。この状態で、内部出力ノードEの内部信号INTの立上がり時間および立下がり時間が等しくなるように設計が行なわれる。インタフェース電源電圧Vddiがたとえば1.8Vのときには、リンク素子27dが溶断され、MOSTランジスタ20sが接地ノードから切り離され、一方MOSTランジスタ20rが電流供給素子として機能する。これにより、インタフェース電源電圧Vddiの低下時における内部出力ノードEの立上がり/立下が

りのずれを調整して、立上がり時間および立下がり時間を等しくする。

【0095】以上のように、この発明の実施の形態3に従えば、インタフェース電源電圧のレベルに応じて内部出力ノードの電位をリンク素子の溶断/非溶断(プログラム)により行なっているため、容易にインタフェース電源電圧レベルに応じて内部信号INTの立上がり/立下がり時間を調整することができ、インタフェース電源電圧が低くなった場合においても立上がりおよび立下がりのタイミングのずれがなく、正確に動作する装置を実現することができる。また、タイミングのずれがなくなるため、内部信号確定のためのタイミングマージンを大きくすることができ、安定に動作する同期型半導体記憶装置を実現することができる。

【0096】[実施の形態4] 図11は、この発明の実施の形態4に従う同期型半導体記憶装置の出力回路部の構成を示す図である。図4において、この出力回路4は、メモリセルから読出されたデータ/RDを受けるインバータ4aと、内部読出データ/RDおよび出力カインープル信号/OEを受ける2入力NOR回路4bと、インバータ4aの出力信号と出力カインープル信号/OEを受ける2入力NOR回路4cと、内部読出データ/RDと出力カインープル信号/OEとプログラム電圧PVを受ける3入力NOR回路40aと、インバータ4aの出力信号と出力カインープル信号/OEとプログラム電圧PVを受ける3入力NOR回路40bを含む。これらのNOR回路4b、4c、40aおよび40bは、内部電源電圧Vddを一方動作電源電圧として動作する。

【0097】出力回路4は、さらに、電源ノードVddQiと出力ノードJの間に接続されかつそのゲートにNOR回路4bの出力信号を受けるnチャネルMOSTランジスタ4eと、電源ノードVddQiと出力ノードJの間に接続されかつそのゲートにNOR回路40aの出力信号を受けるnチャネルMOSTランジスタ40cと、出力ノードJと接地ノードVSSQの間に接続されかつそのゲートにNOR回路4cの出力信号を受けるnチャネルMOSTランジスタ4fと、出力ノードJと接地ノードVSSQとの間に接続されかつそのゲートにNOR回路40bの出力信号を受けるnチャネルMOSTランジスタ40dを含む。電圧VddQiは、外部のインタフェース電源電圧Vddiと同じ電圧レベルである。この電源ノードVddQiおよびVSSQは、出力回路の最終段専用設けられており、データ出力時における電源電圧VddQiおよびVSSQの変動を防止する。MOSTランジスタ4e、4f、40cおよび40dの基板領域へは、接地電圧VSSQが与えられる。

【0098】電源電圧VddQiは、先の実施の形態1ないし3と同様、1.8Vまたは2.5Vの電位レベルである。インタフェース電源電圧の電位レベルが異なることは、用いられるシステムが異なり、この出力ノード

25

Jの出力負荷が異なることを意味する。その場合、内部電源電圧V_{dd}は、インタフェース電源電圧V_{dd}Q_iよりも高い電圧レベルであり、MOSTランジスタ4e、4f、40cおよび40dは不飽和領域で動作する。したがって、このインタフェース電源電圧V_{dd}Q_iが2.5Vの場合には、出力ノードJへ、大きな充放電電流が流れ、一方インタフェース電源電圧V_{dd}Q_iがたとえば1.8Vの場合には、このノードJ充放電電流が小さくなる。

【0099】 $V_{DS} < V_{GS} - V_{TH}$ のとき、
 $I_{ds} = \beta (V_{GS} - V_{TH}) V_{DS} + V_{DS}^2 / 2$

の式参照。ここで、V_{DS}はドレインソース間電圧、V_{TH}は、MOSTランジスタのしきい値電圧、I_{DS}はドレイン電流、V_{GS}はゲートソース間電圧をそれぞれ示す。

【0100】用いられるシステムが異なりかつそのインタフェース電源電圧が異なる場合、この出力ノードJの負荷が変更され、またこの出力ノードJの放電電流量も異なる。したがって、たとえばこのシステムにおいてこの出力ノードにおいてリングングが発生しない場合において、他のシステムにおいては、リングングが発生する問題が生じ、また逆に、リングングが発生しない場合、信号の変化速度が遅くなるというような問題が生じる。

【0101】そこで、この図11に示すように、充電用のMOSTランジスタ4eに並列にnチャネルMOSTランジスタ40cを設け、また放電用のnチャネルMOSTランジスタ4fに並列にMOSTランジスタ4dを設け、これらのMOSTランジスタ40cおよび40dを選択的に作動状態とする。すなわち、今、プログラム電圧PVを、たとえばHレベルに設定した場合、NOR回路40aおよび40bの出力信号はLレベルとなり、MOSTランジスタ40cおよび40dは非導通状態に固定される。この場合には、MOSTランジスタ4eおよび4fを用いて内部読出データ/RDおよび出力イネーブル信号/OEに従って出力ノードJの充放電が行なわれる。この場合には、この出力回路4の電流駆動力は小さくなる(ノードJの充放電速度は同じである)。

【0102】一方、プログラム電圧PVをLレベルに設定した場合、NOR回路40aおよび40bが作動状態となり、MOSTランジスタ40cが、MOSTランジスタ4eと同相で導通/非導通となり、またMOSTランジスタ40dが、MOSTランジスタ4fと同相で導通/非導通状態となる。したがって、この場合には、2つのMOSTランジスタにより出力ノードJの充電または放電が行なわれるため、この出力回路4の電流駆動力が大きくなる。したがって、用いられるシステムに応じて、このプログラム電圧PVをHレベルまたはLレベルに固定する。すなわち、インタフェース電源電圧V_{dd}Q_iの電圧レベルが低く、ドレイン電流が小さく、こ

26

の出力回路4の電流駆動力を大きくしてもリングングがない場合には、プログラム電圧PVがLレベルに設定される。一方、このインタフェース電源電圧V_{dd}Q_iの電圧レベルが低い場合においても、その出力負荷が小さく、2つのMOSTランジスタを用いて充電または放電を行なった場合には、リングングが生じる場合には、プログラム電圧PVがHレベルに固定され、この出力回路の電流駆動力が小さくされた装置が用いられる。また、システム電源電圧V_{dd}Q_iの電圧レベルがたとえば2.5Vのときには、ドレイン電流が大きくなり2つのMOSTランジスタを同時に導通状態とする場合には、リングングが発生する場合には、プログラム電圧PVがHレベルに設定された装置を用いる。逆に、2.5Vのインタフェース電源電圧が用いられる場合においても、2つのMOSTランジスタを用いて充電または放電を行なっても、この出力ノードJの負荷が大きく、リングングが発生しない場合には、プログラム電圧PVがLレベルに設定された装置が用いられる。

【0103】したがって、このプログラム電圧PVをHレベルまたはLレベルに設定された製品を、用いられるシステムに応じて使い分ける。これにより、動作環境に応じて安定に動作し、出力ノイズが生じず、また正確なタイミングで確定状態とされる信号を出力する出力回路を実現することができる。

【0104】図12(A)および(B)は、プログラム電圧PVが発生する部分の構成を概略的に示す図である。図12(A)において、プログラム電圧PVが、ボンディングパッド55の電圧レベルに従って生成される。このボンディングパッド55は、ボンディングワイヤ50aにより接地電圧V_{ss}に固定されるかまたはボンディングワイヤ56bにより電源電圧V_{dd}に固定される。半導体集積回路装置のパッケージ実装時のボンディング工程で、この出力回路の駆動力の大小が作り分けられる。

【0105】図12(B)において、プログラム電圧PVが信号線57から生成される。この信号線57は、マスク配線58により接地ノードV_{ss}に接続されるか、またはマスク配線59により電源ノードV_{dd}に接続される。この場合には、プログラム電圧PVの設定は、プロセスの最終工程で、出力回路の駆動力の大小が設定される。

【0106】なお、図12(A)において、ボンディングパッド55には、接地電圧V_{ss}または電源電圧V_{dd}が、ボンディングワイヤ50aまたは50bにより伝達されている。しかしながら、このボンディングパッド55には、電源電圧V_{dd}または接地電圧V_{ss}にボンディングワイヤを介して接続されるときに1つの論理レベルのプログラム電圧PVが生成され、ボンディングパッド55がオープン状態のとき(ボンディングワイヤが接続されないとき)、このプログラム電圧PVが他の論

10

20

30

40

50

理レベルの電圧レベルに設定される構成が用いられてもよい(たとえば高抵抗抵抗素子をボンディングパッド5に接続し、ボンディングワイヤの有無に応じてその抵抗素子の一端の電圧レベルを設定する)。

【0107】[変更例]図13は、この発明の実施の形態4の変更例の構成を示す図である。この図13に示す出力回路4においては、出力段最終段専用に与えられる電源電圧 V_{ddQ} と内部電源電圧 V_{dd} の電圧レベルは同じである。また、nチャネルMOSトランジスタ4eおよび40eにおけるしきい値電圧損失を補償するため、これらの出力ノードJを充電するためのnチャネルMOSトランジスタ4eおよび40cと並列にpチャネルMOSトランジスタ4gおよび40eが設けられる。MOSトランジスタ4gのゲートへは、NOR回路4bの出力信号を受けるインバータ4dの出力信号が与えられ、MOSトランジスタ4eのゲートには、NOR回路40aの出力信号を受けるインバータ40cの出力信号が与えられる。他の構成は、図11に示す構成と同じである。

【0108】この図13に示す構成においては、MOSトランジスタ4eおよび4gが同相で導通/非導通状態となり、またMOSトランジスタ40cおよび40eが同相で導通/非導通状態となる。プログラム電圧PVをHレベルまたはLレベルに設定することにより、この出力回路4の電流駆動力を調整することができる。また、この出力ノードJの負荷に応じて電流駆動力の大きな装置および電流駆動力の小さな装置を使い分けることにより、リングングを生じることなく安定かつ高速なデータの出力を行なうことが可能となる。

【0109】なお、この図13に示す構成においては、nチャネルMOSトランジスタ40cとpチャネルMOSトランジスタ40eが用いられている。一般に、pチャネルMOSトランジスタはnチャネルMOSトランジスタに比べて電流駆動力が小さく、nチャネルMOSトランジスタと同じ電流駆動力を実現する場合、そのpチャネルMOSトランジスタのサイズ(ゲート幅とゲート長の比)はnチャネルMOSトランジスタのそれに比べて大きくされる。nチャネルMOSトランジスタ40cおよびpチャネルMOSトランジスタ40eをともに用いることにより、pチャネルMOSトランジスタ40eの占有面積を低減することができ、出力回路4の面積増加を抑制することができる。pチャネルMOSトランジスタ4gおよび40eは、最終的に、nチャネルMOSトランジスタ4eおよび40cのしきい値電圧損失を補償するために作られているだけであり、大きな電流駆動力は特に必要とされないため、その面積は小さくすることができる。

【0110】また、放電用nチャネルMOSトランジスタ4fおよび40dが2つ並列に設けられており、これに合わせてnチャネルMOSトランジスタ4eおよび4

0cを設けておくことにより、放電用のnチャネルMOSトランジスタ4fおよび40dがともに導通状態とされるときノードJの充電速度をその放電速度と容易に同じとすることができる。すなわち、2つの放電用nチャネルMOSトランジスタの放電速度と、nチャネルMOSトランジスタとpチャネルMOSトランジスタの1対の充電速度を同じとなるように設定すればよいわけであり、電流駆動力調整のためのトランジスタサイズに合わせて、追加のN/P MOSトランジスタ対のサイズを決定することができるためである。

【0111】以上のように、この発明の実施の形態4に従えば、出力ノードの電流駆動力をボンディングパッドまたはマスク配線より調整することができるようにしたため、用いられる動作環境に応じて最適な出力特性を有する同期型半導体記憶装置を利用することができ、動作環境に合わせて最適に動作する同期型半導体記憶装置を用いることにより最適なメモリシステムを実現することができる。また、出力ノードのリングングなどの発生を抑制することができ、出力ノイズによる誤動作が生じることのない、安定な同期型半導体記憶装置を実現することができる。

【0112】[他の適用例] 上述の説明において、同期型半導体記憶装置を1つの例として説明している。しかしながら、インタフェースをとるためのインタフェース回路(入出力回路)を有し、インタフェース電源電圧が内部電源電圧レベルと異なる装置であれば、本発明は適用可能である。

【0113】また、同期型半導体記憶装置としては、クロック信号に同期して外部信号の取込みおよびデータの入出力を行なう記憶装置であればよく、同期型スタティック・ランダム・アクセス・メモリおよび同期型ダイナミック・ランダム・アクセス・メモリいずれも本発明は適用可能である。

【0114】なお、上述の説明において、内部電源電圧 V_{dd} がインタフェース電源電圧 V_{ddi} よりも電圧レベルが高い場合について説明している。しかしながら、ダイナミック・ランダム・アクセス・メモリのように、外部のインタフェース電圧の電圧レベルが内部電源電圧よりも高く、記憶装置内部で降圧が行なわれる装置、すなわち内部電源電圧 V_{dd} がインタフェース電源電圧 V_{ddi} よりも低い装置であっても本発明は適用可能である。内部降圧回路を用いる場合、出力回路において、たとえば図11においてNOR回路40aおよび4bがレベル変換機能を備え、内部電源電圧レベルを外部の電源電圧レベルに変換する機能を備えていればよい。また、図14に示すように、半導体集積回路装置としては、同期型半導体記憶装置に限定されず、一般の論理演算処理を行なう装置であってもよい。すなわち、図14において、半導体集積回路装置60は、電源電圧 V_{dd} を一方動作電源電圧として動作し、所定の演算処理を行なう内

部回路62と、インタフェース電源電圧Vddiを一方動作電源電圧として動作し、装置外部との間でのインタフェースをとるためのインタフェース回路64と、このインタフェース回路64の内部ノードまたは出力ノードに対する電流駆動力をプログラマブルに調整するためのプログラマブル電流量調整回路66を含む。このインタフェース回路64に含まれる入力段および出力段それぞれに対し、先の実施の形態1から4に示されるような構成が、適宜動作環境に応じて適用されればよい。演算処理時において、内部信号に対するタイミングマージンを大きくとる必要がなく、高速で論理演算処理を実行することができる。また、出力結果も安定かつ高速に出力することができる。またインタフェース電源電圧のレベルは任意であり、また3種類以上であっても各電圧に応じて電流量を調整すればよく本発明は適用可能である。

【0115】

【発明の効果】以上のように、この発明に従えば、与えられた信号に所定の処理を行なって出力する信号処理回路のその出力ノード上の信号の電位変化速度プログラマブルに調整するように構成したため、動作環境に応じて、安定にかつ正確なタイミングで信号を出力することができる。

【0116】請求項2に係る発明に従えば、外部からの信号をバッファ処理する入力段からの電圧レベルを変換するレベル変換段の出力ノードの駆動電流量を調整するように構成したため、内部信号の立上がり時間（速度）および立下がり時間（速度）を等しくすることができ、信号確定タイミングを速くすることができ、高速動作が可能となる。特にこの電流量をバッファ入力段の電源電圧レベルに応じて調整することにより、システム電源電圧のようなインタフェース電源電圧が複数種類用いられる場合においても、正確なタイミングで内部信号を生成することができる。

【0117】請求項3に係る発明に従えば、レベル変換段最終段の絶縁ゲート型電界効果トランジスタを流れる電流量をバッファ入力段の電源電圧の電圧レベルに応じて調整しており、容易かつ正確に内部信号の立上がり／立下がり時間を等しくすることができ、インタフェース電源電圧が異なる場合においても、正確なタイミングで内部信号を生成することができる。

【0118】請求項4に係る発明に従えば、電流供給素子と並列に設けられ、プログラマブルに導通／非導通状態が決定されるプログラマブル素子を用いてレベル変換段の出力ノードの充放電電流量を設定しており、このプログラマブル素子の導通／非導通により、電流量を微小調整することができ、正確に内部信号の立上がり／立下がり時間に要する時間を等しくすることができる。

【0119】請求項5に係る発明に従えば、このプログラマブル素子を絶縁ゲート型電界効果トランジスタで構成し、そのゲート電位をパッドの電位で設定するように

構成しているため、容易にプログラマブル素子の導通／非導通を設定することができる。

【0120】請求項6に係る発明に従えば、プログラマブル素子を、絶縁ゲート型電界効果トランジスタで構成し、そのゲートを信号入力ノードまたは電源／接地ノードの非導通状態となる電圧源に択一的に配線により接続するように構成しているため、容易にプログラマブル素子の導通／非導通を特別の製造工程を増加させることなく設定することができる。

10 【0121】請求項7に係る発明に従えば、プログラマブル素子を絶縁ゲート型電界効果トランジスタとリンク素子との直列体で構成し、このリンク素子の溶断／非溶断によりプログラマブル素子の導通／非導通をプログラムしているため、容易にかつ確実にこのプログラマブル素子の導通／非導通を設定することができる。

20 【0122】請求項8に係る発明に従えば、装置外部とのインタフェースをとるインタフェース段の動作電源電圧レベルに応じてこの信号処理回路の出力する信号の電位変化速度をプログラマブルに調整しているために、インタフェース電源電圧のレベルが変更されても正確なタイミングで信号を生成することができる。

【0123】請求項9に係る発明に従えば、この信号処理回路が装置外部からの信号をバッファ処理して内部信号を生成する入力回路であり、動作環境が変更されても、正確なタイミングで内部信号を生成することができ、内部回路動作タイミングマージンを大きくすることができ、また内部回路動作開始タイミングを速くすることができる。

30 【0124】請求項10に係る発明に従えば、信号処理回路は、絶縁ゲート型電界効果トランジスタで構成される内部信号に従って装置外部へ出力される出力信号を生成する出力段であり、この出力段の出力ノードの電流供給量を絶縁ゲート型電界効果トランジスタを選択的に導通／非導通状態としてこの出力ノードの電流量を調整することができ、リンギングを生じさせることなく、また正確に出力信号の立上がり／立下がり時間を等しくすることができる。

40 【0125】請求項11に係る発明に従えば、さらに、この異なる導電型の絶縁ゲート型電界効果トランジスタを並列に設けて選択的に導通／非導通状態とするように構成しているため、内部電源電圧がインタフェース電源電圧と同じ電圧レベルである場合においても、確実にインタフェース電源電圧レベルの出力信号を正確なタイミングで生成することができる。

50 【0126】請求項12に係る発明に従えば、信号処理回路は、読出されたメモリセルデータを外部へ出力する出力バッファであり、その出力ノード負荷または出力バッファ電源電圧レベルに応じて出力ノードの電位変化速度を調整することにより、正確なタイミングで出力信号を生成できるとともに、出力ノイズの発生を

抑制することができる。

【0127】請求項13に係る発明に従えば、この半導体集積回路装置が同期型半導体記憶装置であり、内部信号のクロック信号に対するタイミングを正確に設定することができ、確実にクロック信号に対するタイミング関係を維持することができ、正確な動作を保証することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体集積回路装置の要部の構成を示す図である。

【図2】 図1に示す半導体集積回路装置の動作を示す信号波形図である。

【図3】 この発明の実施の形態2に従う半導体集積回路装置の要部の構成を示す図である。

【図4】 図3に示す半導体集積回路装置の配線接続を示す図である。

【図5】 図3に示す半導体集積回路装置の配線接続を示す図である。

【図6】 この発明の実施の形態2に従う半導体集積回路装置の変更例1の構成を示す図である。

【図7】 この発明の実施の形態2の半導体集積回路装置の変更例2の構成を示す図である。

【図8】 この発明の実施の形態2の半導体集積回路装置の変更例3の構成を示す図である。

【図9】 この発明の実施の形態3の半導体集積回路装置の要部の構成を示す図である。

【図10】 この発明の実施の形態3の半導体集積回路装置の変更例の構成を示す図である。

【図11】 この発明の実施の形態4に従う半導体集積回路装置の要部の構成を示す図である。

【図12】 図11に示すプログラム電圧の発生方法を示す図である。

【図13】 この発明の実施の形態4の変更例の構成を示す図である。

【図14】 この発明の半導体集積回路装置の他の構成

を概略的に示す図である。

【図15】 従来の半導体集積回路装置の全体の構成を概略的に示す図である。

【図16】 図15に示す入力回路初段部の構成を示す図である。

【図17】 図16に示す入力回路初段部の動作を示す信号波形図である。

【図18】 図15に示す出力回路の最終段の構成を示す図である。

10 【図19】 図18に示す出力間の動作を示す信号波形図である。

【図20】 図16に示す入力回路の動作の問題点を説明するための信号波形図である。

【図21】 図20に示す信号波形図の問題点をより具体的に示す図である。

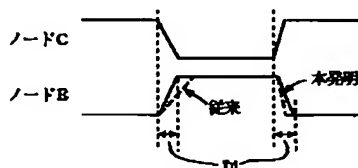
【図22】 従来の入力回路が同期型装置である場合の問題点を説明するための図である。

【図23】 従来の出力回路の問題点を説明するための図である。

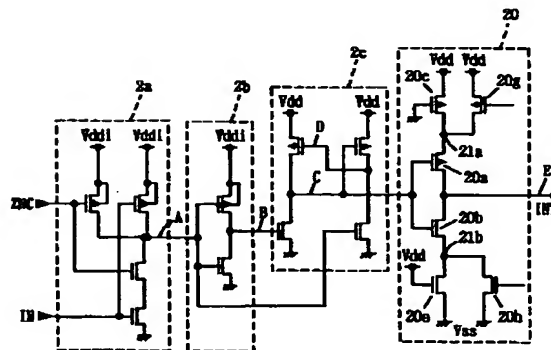
20 【符号の説明】

2a 初段バッファ回路、2b インバータバッファ回路、2c レベル変換回路、20 電流量調整機能付バッファ回路、20a～20f MOSTランジスタ、21a 第1の内部ノード、21b 第2の内部ノード、22 ボンディングパッド、24 内部入力回路、20g、20h MOSTランジスタ、25a～25j マスク配線、20p、20q MOSTランジスタ、27a～27d リンク素子、4 出力回路、4a インバータ、4b、4c、40a、40b NOR回路、4e、4f、40c、4d MOSTランジスタ、55 ボンディングパッド、57 信号配線、4g、40e MOSTランジスタ、60 半導体集積回路装置、62 内部回路、64 インタフェース回路、66 プログラム電流量調整回路。

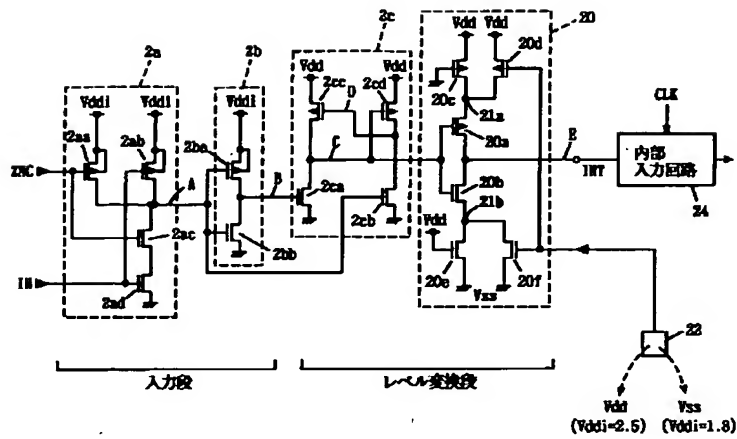
【図2】



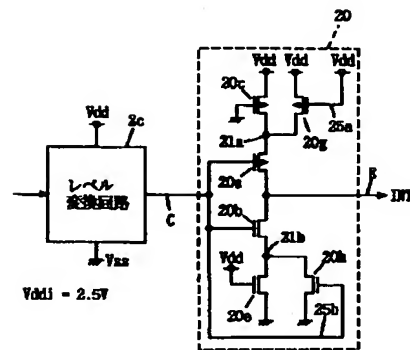
【図3】



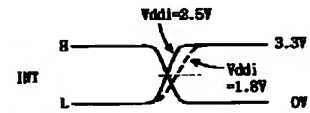
【図1】



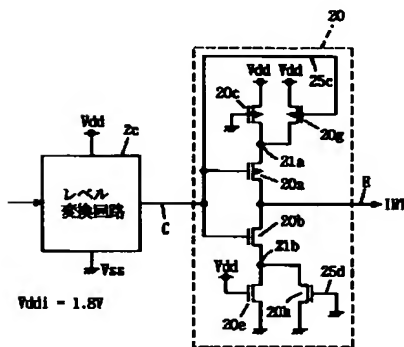
【図4】



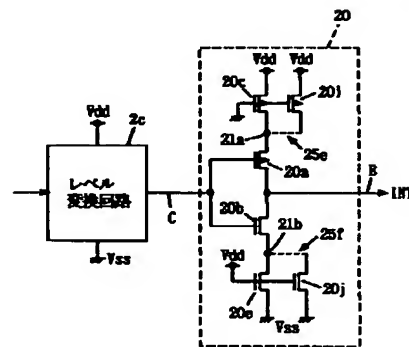
【図21】



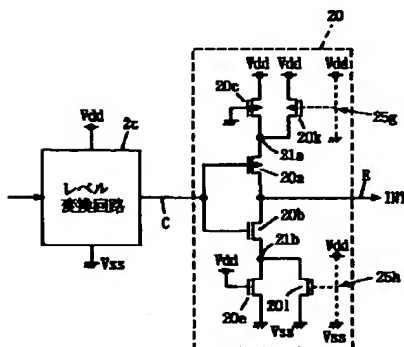
【図5】



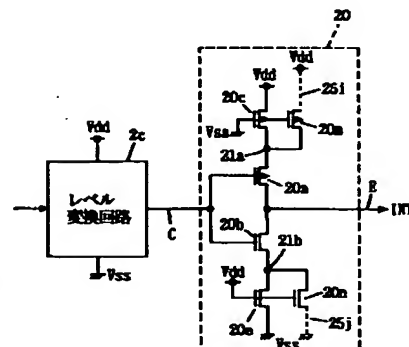
【図6】



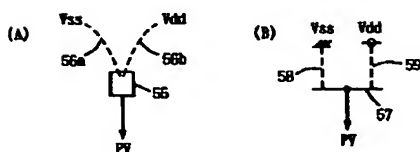
【図7】



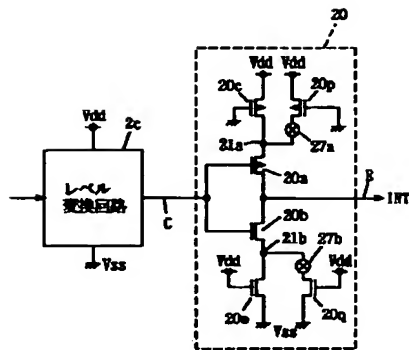
【図8】



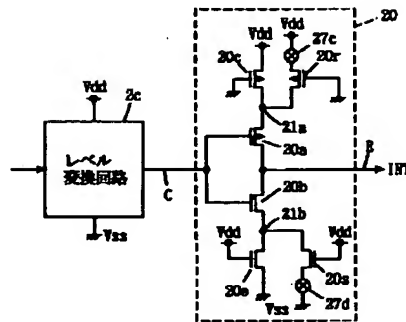
【図12】



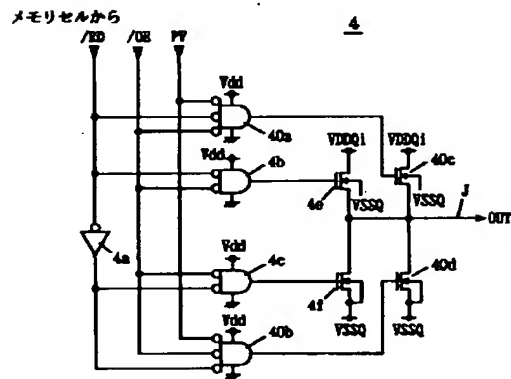
【図9】



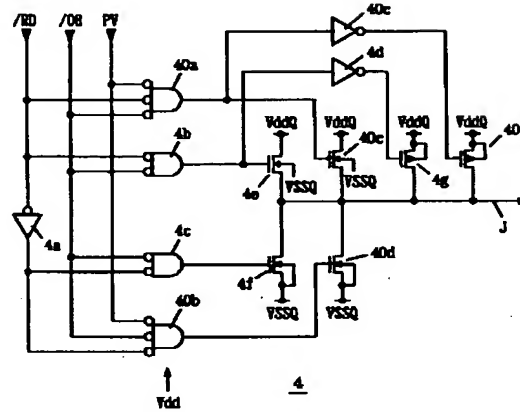
【図10】



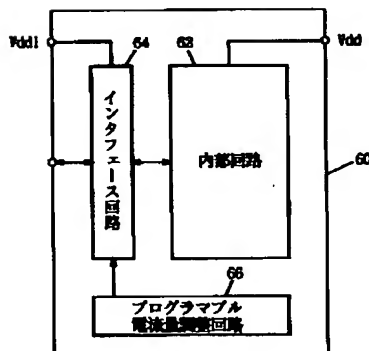
【図11】



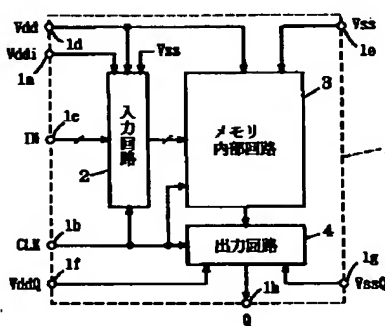
【図13】



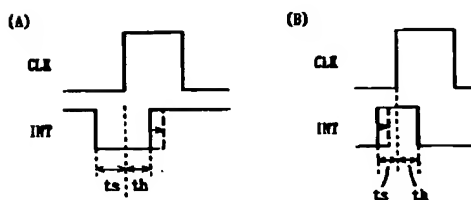
【図14】



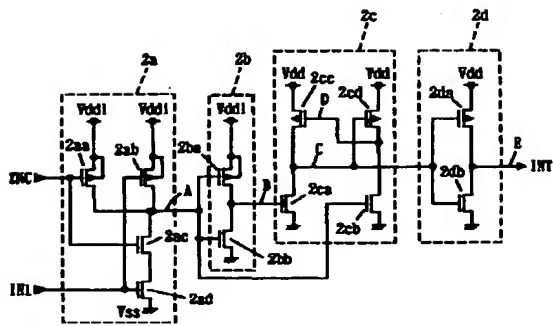
【図15】



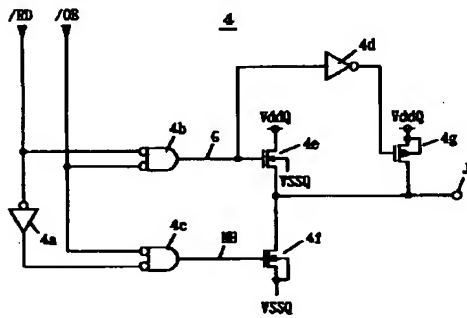
【図22】



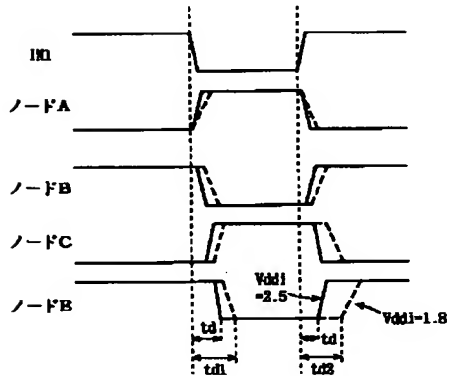
【図16】



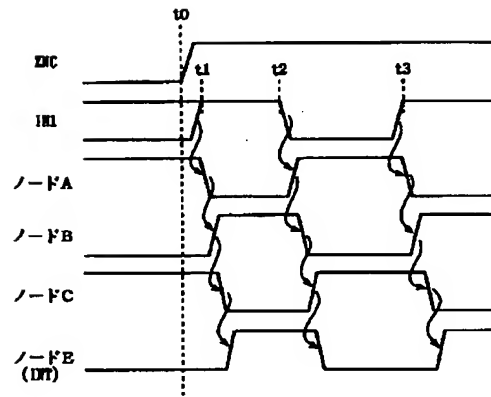
【図18】



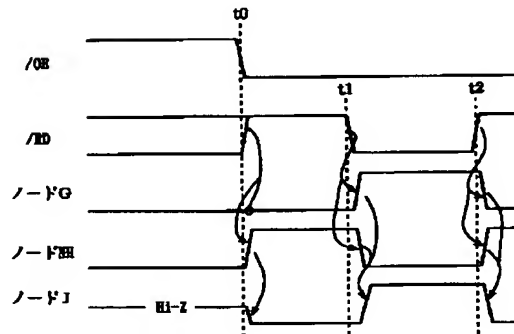
【図20】



【図17】



【図19】



【図23】

